

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-274344
(P2001-274344A)

(43) 公開日 平成13年10月5日 (2001.10.5)

(51) Int.Cl. ⁷	識別記号	F I	ターミナル* (参考)
H 0 1 L 27/10	4 3 1	H 0 1 L 27/10	4 3 1 5 F 0 8 3

審査請求 未請求 請求項の数15 O L (全 12 頁)

(21) 出願番号 特願2000-82165 (P2000-82165)

(22) 出願日 平成12年3月23日 (2000.3.23)

(71) 出願人 000002369

セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号

(72) 発明者 下田 達也

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100079108

弁理士 稲葉 良幸 (外2名)

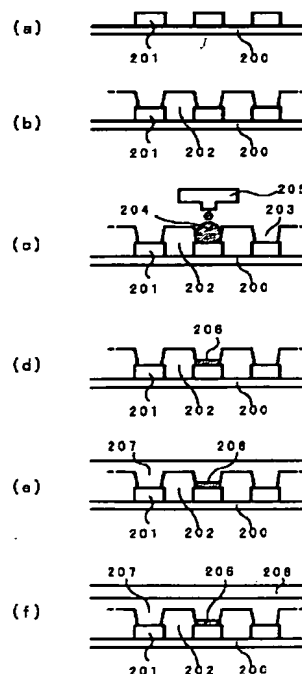
Fターム (参考) 5F083 CR16 GA28 JA38 JA43 ZA21

(54) 【発明の名称】 メモリデバイスおよびその製造方法

(57) 【要約】

【課題】 多様な記録パターンの半導体ROMを、安価かつ容易に、更に短期間で製造することのできるメモリデバイスの製造技術を提供する。

【解決手段】 メモリセルが上下線状電極の交差位置に形成される単純マトリクス構造を採用し、所定のメモリセル位置の電極表面に対しインクジェットヘッドを用いて絶縁材料を選択的に吐出することにより、前記所定のメモリセル位置の電極表面を絶縁材料で被覆する。メモリセル位置の電極表面に対する被覆絶縁膜の有無により状態を記憶する。



【特許請求の範囲】

【請求項1】 メモリセル位置の電極表面に対する被覆絶縁膜の有無により状態を記憶するメモリデバイスの製造方法であって、

所定のメモリセル位置の電極表面に対しインクジェットヘッドを用いて絶縁材料を選択的に吐出することにより、前記所定のメモリセル位置の電極表面を絶縁材料で被覆することを特徴とするメモリデバイスの製造方法。

【請求項2】 メモリセル位置の電極表面を囲うようにバンクを形成する工程を備え、絶縁材料を、前記バンクに囲まれる領域に対して選択的に吐出することにより、前記所定のメモリセル位置の電極を絶縁材料で被覆することを特徴とする請求項1記載のメモリデバイスの製造方法。

【請求項3】 前記所定のメモリセル位置の電極表面を囲うように、絶縁材料に対して電極表面よりも非親和性を示す領域を形成する工程を備え、絶縁材料を、前記非親和性を示す領域に囲まれる領域に対して選択的に吐出することにより、前記所定のメモリセル位置の電極表面を絶縁材料で被覆することを特徴とする請求項1記載のメモリデバイスの製造方法。

【請求項4】 前記非親和性を示す領域を形成する工程は、電極表面に対しFAS（フッ化アルキルシラン）によりコーティングを施す工程と、紫外線照射を選択的に行って前記FASを除去することにより、前記非親和性を示す領域に囲まれる領域を形成する工程とを備えることを特徴とする請求項3記載のメモリデバイスの製造方法。

【請求項5】 半導体層の抵抗値により状態を記憶するメモリデバイスの製造方法であって、メモリセル位置に対応する半導体層に対し、半導体層の抵抗値が、 n 値の状態（ $n=2$ 、もしくは $n>2$ ）に対応して予め設定された所定範囲のいずれかに含まれるように、インクジェットヘッドを用いてドーピング材料を注入することを特徴とするメモリデバイスの製造方法。

【請求項6】 メモリセル位置の電極表面を囲うようにバンクを形成する工程と、半導体材料を前記バンクに囲まれる領域に対してインクジェットヘッドを用いて吐出することにより、メモリセル位置に半導体層を形成する工程とを備えることを特徴とする請求項5記載のメモリデバイス製造方法。

【請求項7】 半導体層の抵抗値により状態を記憶するメモリデバイスの製造方法であって、メモリセル位置の電極表面を囲うようにバンクを形成する工程を備え、 n 値の状態（ $n=2$ 、もしくは $n>2$ ）に対応して予め設定された所定範囲に抵抗値が含まれるように調整されている n 種類の半導体材料から、記憶させるべき状態に応じて所定の半導体材料を選択し、前記選択した半導体

材料を前記バンクに囲まれる領域に対してインクジェットヘッドを用いて選択的に吐出することにより、各メモリセルの半導体層の抵抗値を決定することを特徴とするメモリデバイスの製造方法。

【請求項8】 前記メモリデバイスは、メモリセルが上下線状電極の交差位置に形成される単純マトリクス構造のメモリデバイスであることを特徴とする請求項1乃至7のいずれか1項に記載のメモリデバイスの製造方法。

【請求項9】 メモリセル位置の電極に対する被覆絶縁膜の有無により状態を記憶するメモリデバイスであって、

前記被覆絶縁膜は、インクジェットヘッドを用いて絶縁材料を選択的に吐出することにより、形成されたことを特徴とするメモリデバイス。

【請求項10】 メモリセル位置の電極表面を囲うように形成されたバンクを備え、前記被覆絶縁膜は前記バンクに囲まれる領域内に形成されていることを特徴とする請求項9記載のメモリデバイス。

【請求項11】 前記被覆絶縁膜は、絶縁材料に対して電極材料よりも非親和性を示す領域に囲まれた領域に対して、インクジェットヘッドを用いて絶縁材料を選択的に吐出することにより、形成されたことを特徴とする請求項9記載のメモリデバイス。

【請求項12】 半導体層の抵抗値により状態を記憶するメモリデバイスであって、メモリセル位置に対応する半導体層の抵抗値が、インクジェットヘッドを用いてドーピング材料を注入することにより、 n 値の状態（ $n=2$ 、もしくは $n>2$ ）に対応して予め設定された所定範囲のいずれかに含まれるように形成されていることを特徴とするメモリデバイス。

【請求項13】 メモリセル位置の電極表面を囲うように形成されたバンクを備え、前記メモリセル位置に対応する半導体層は、前記バンクに囲まれる領域に対してインクジェットヘッドを用いて半導体材料を吐出することにより形成されていることを特徴とする請求項12記載のメモリデバイス。

【請求項14】 半導体層の抵抗値により状態を記憶するメモリデバイスであって、メモリセル位置の電極表面を囲うように形成されたバンクを備え、前記メモリセル位置に対応する半導体層は、 n 値の状態（ $n=2$ 、もしくは $n>2$ ）に対応して予め設定された所定範囲に抵抗値が含まれるように調整されている n 種類の半導体材料のうちいずれかを、前記バンクに囲まれる領域に対してインクジェットヘッドを用いて選択的に吐出することにより形成されていることを特徴とするメモリデバイス。

【請求項15】 前記メモリデバイスは、単純マトリクス構造のメモリデバイスであることを特徴とする請求項1乃至7のいずれか1項に記載のメモリデバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はメモリデバイスに係り、特に読み出し専用メモリである半導体ROM（リードオンリメモリ）に関する。

【0002】

【従来の技術】一般的には、半導体ROMの内容は、ユーザーによる変更はできない固定的なパターンとして、メモリデバイスを生産する時に書き込まれる。図11は従来の半導体ROMに対する、ダイオードを用いた等価回路図の一例である。X方向線状電極とY方向線状電極の交差部にメモリセルが形成される単純マトリクス構造となっており、ダイオードによりX方向線状電極とY方向線状電極が接続されているか接続されていないかで、各メモリセルについて2値状態が記憶される構造となっている。

【0003】図12に、半導体ROMの断面を模式的に示す。半導体層702を挟んでX方向線状電極700とY方向線状電極701が形成されており、絶縁膜712の有無により2値状態が記憶される構成となっている。例えば、メモリセル710は図11においてダイオードにより接続されている箇所に対応し、メモリセル711は接続されていない箇所に対応する。

【0004】従来の半導体ROMの生産過程においては、記録パターン（半導体ROMに書き込むパターン）に従ってフォトマスクを製造し、これを用いてフォトリソ層を選択的に露光し、絶縁膜層を選択的にエッチングすることにより、固定的なパターンを書き込んでいた。

【0005】

【発明が解決しようとする課題】しかしながら、従来のようにフォトマスクを用いて半導体ROMの記憶パターンを書き込む手法では次のような問題があった。一つは、フォトマスクは製造原価が1枚数百から数千万円と非常に高額であるため、それを用いて製造する半導体ROMの価格も非常に高額になってしまう点である。二つめは、フォトマスクのマスクパターンは一度形成されると変更できないため、記憶パターンごとにフォトマスクを製造しなければならないという点である。そのため、コストの面から、記録パターンの変更を容易に行えないという問題があった。三つめは、フォトマスクの製造から絶縁層のエッチングを含む一連の製造工程にだいたい2～3週間程度かかってしまい、短期間で製造が困難な点である。

【0006】本発明は、このような従来の問題点を解消すべく創案されたもので、多様な記録パターンの半導体ROMを、安価かつ容易に、更に短期間で製造することのできるメモリデバイスの製造技術を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明に係るメモリデバイスの製造方法は、メモリセル位置の電極表面に対する被覆絶縁膜の有無により状態を記憶するメモリデバイスの製造方法であって、所定のメモリセル位置の電極表面に対しインクジェットヘッドを用いて絶縁材料を選択的に吐出することにより、前記所定のメモリセル位置の電極表面を絶縁材料で被覆する。これによって、インクジェットの設定変更によって、容易に記憶内容を変更し得る。

【0008】好ましくは、メモリセル位置の電極表面を囲うようにバンクを形成する工程を備え、絶縁材料を、前記バンクに囲まれる領域に対して選択的に吐出することにより、前記所定のメモリセル位置の電極を絶縁材料で被覆する。かかる構成では、バンクの存在により、選択されたメモリセルの電極を精度よく絶縁膜で被覆することができる。

【0009】また、好ましくは、前記所定のメモリセル位置の電極表面を囲うように、絶縁材料に対して電極表面よりも非親和性を示す（接触エネルギーの高い）領域を形成する工程を備え、絶縁材料を、前記非親和性を示す領域に囲まれる領域に対して選択的に吐出することにより、前記所定のメモリセル位置の電極表面を絶縁材料で被覆する。前記非親和性を示す領域を形成する工程は、電極表面に対しFAS（フッ化アルキルシラン）によりコーティングを施す工程と、紫外線（UV（ウルトラバイオレット）光）照射を選択的に行って前記FASを除去することにより、前記非親和性を示す領域に囲まれる領域を形成する工程により、実現できる。かかる構成では、非親和性の領域の存在により、選択されたメモリセルの電極を精度よく絶縁膜で被覆することができる。

【0010】また、本発明に係るメモリデバイスの製造方法は、半導体層の抵抗値により状態を記憶するメモリデバイスの製造方法であって、メモリセル位置に対応する半導体層に対し、半導体層の抵抗値が、 n 値の状態（ $n=2$ 、もしくは $n>2$ ）に対応して予め設定された所定範囲のいずれかに含まれるように、インクジェットヘッドを用いてドーピング材料を注入する。これによって、インクジェットの設定変更（ドーピング材料の吐出量等の変更）によって、容易に記憶内容を変更することができる。更に、半導体層の抵抗値の相違により多値の記憶状態を形成することができるため、多様かつ大容量のメモリデバイスを製造することができる。

【0011】好ましくは、メモリセル位置の電極表面を囲うようにバンクを形成する工程と、半導体材料を前記バンクに囲まれる領域に対してインクジェットヘッドを用いて吐出することにより、メモリセル位置に半導体層を形成する工程とを備える。かかる構成では、バンクの存在により、選択されたメモリセルの電極の抵抗値を精度よく設定することができる。

【0012】また、本発明に係るメモリデバイスの製造方法は、半導体層の抵抗値により状態を記憶するメモリデバイスの製造方法であって、メモリセル位置の電極表面を囲うようにバンクを形成する工程を備え、 n 値の状態($n=2$ 、もしくは $n>2$)に対応して予め設定された所定範囲に抵抗値が含まれるように調整されている n 種類の半導体材料から、記憶させるべき状態に応じて所定の半導体材料を選択し、前記選択した半導体材料を前記バンクに囲まれる領域に対してインクジェットヘッドを用いて選択的に吐出することにより、各メモリセルの半導体層の抵抗値を決定する。これによって、インクジェットにより吐出する半導体材料を、書き込むべき記憶状態に応じて選択することにより、容易に各メモリセルの記憶内容を設定することができる。また、半導体材料の抵抗値の相違により多値の記憶状態を形成することができ、多様かつ大容量のメモリデバイスを製造することができる。また、バンクの存在により、選択されたメモリセルに精度よく半導体材料を吐出することができる。

【0013】本発明に係るメモリデバイスの製造方法は、メモリセルが上下線状電極の交差位置に形成される単純マトリクス構造のメモリデバイスとすることができる。

【0014】本発明に係るメモリデバイスは、メモリセル位置の電極に対する被覆絶縁膜の有無により状態を記憶するメモリデバイスであって、前記被覆絶縁膜は、インクジェットヘッドを用いて絶縁材料を選択的に吐出することにより形成される。これによって、インクジェットの設定変更によって、容易に記憶内容を変更することのできるメモリデバイスを実現できる。

【0015】好ましくは、メモリセル位置の電極表面を囲うように形成されたバンクを備え、前記被覆絶縁膜は前記バンクに囲まれる領域内に形成される。かかる構成では、各メモリセルの電極は他のメモリセルの電極とバンクにより隔離されているため、安定した記憶状態を実現することができる。

【0016】また、好ましくは、前記被覆絶縁膜は、絶縁材料に対して電極材料よりも非親和性を示す領域に囲まれた領域に対して、インクジェットヘッドを用いて絶縁材料を選択的に吐出することにより形成される。かかる構成では、各メモリセルの電極は他のメモリセルの電極と非親和領域により隔離されているため、安定した記憶状態を実現することができる。

【0017】本発明に係るメモリデバイスは、半導体層の抵抗値により状態を記憶するメモリデバイスであって、メモリセル位置に対応する半導体層の抵抗値が、インクジェットヘッドを用いてドーピング材料を注入することにより、 n 値の状態($n=2$ 、もしくは $n>2$)に対応して予め設定された所定範囲のいずれかに含まれるように形成される。これによって、インクジェットの設定変更(ドーピング材料の吐出量)により、容易に記憶

内容を変更することのできるメモリデバイスを実現できる。また、半導体材料の抵抗値の相違により多値の記憶状態を形成することができるため、多様かつ大容量のメモリデバイスを実現することができる。

【0018】好ましくは、メモリセル位置の電極表面を囲うように形成されたバンクを備え、前記メモリセル位置に対応する半導体層は、前記バンクに囲まれる領域に対してインクジェットヘッドを用いて半導体材料を吐出することにより形成される。かかる構成では、各メモリセルの電極は他のメモリセルの電極とバンクにより隔離されているため、安定した記憶状態を実現することができる。

【0019】本発明に係るメモリデバイスは、半導体層の抵抗値により状態を記憶するメモリデバイスであって、メモリセル位置の電極表面を囲うように形成されたバンクを備え、前記メモリセル位置に対応する半導体層は、 n 値の状態($n=2$ 、もしくは $n>2$)に対応して予め設定された所定範囲に抵抗値が含まれるように調整されている n 種類の半導体材料のうちいずれかを、前記バンクに囲まれる領域に対してインクジェットヘッドを用いて選択的に吐出することにより形成される。これによって、インクジェットにより吐出する半導体材料を、書き込むべき記憶状態に応じて選択することにより、容易に各メモリセルの記憶内容を設定することができる。また、半導体材料の抵抗値の相違により多値の記憶状態を形成することができ、多様かつ大容量のメモリデバイスを実現することができる。また、各メモリセルの電極は他のメモリセルの電極とバンクにより隔離されているため、安定した記憶状態を実現することができる。

【0020】本発明に係るメモリデバイスは、単純マトリクス構造のメモリデバイスとすることができる。

【0021】

【発明の実施の形態】次に本発明に係るメモリデバイスおよびその製造方法の実施形態を図面に基いて説明する。

(インクジェットヘッドの構成及び動作原理)最初に、本発明に係るメモリデバイスを製造する際に用いるインクジェットヘッド装置の構成及び動作原理について説明する。

【0022】図1に示すインクジェットヘッド9の分解斜視図は、インクの供給流路が加圧室基板内に形成されるタイプである。同図に示すように、インクジェットヘッド9は主に加圧室基板1、ノズルプレート5及び基体3から構成される。

【0023】加圧室基板1はシリコン単結晶基板上に形成された後、各々に分離される。加圧室基板1は複数の短冊状の加圧室106が設けられ、全ての加圧室106にインクを供給するための共通流路110を備える。加圧室106の間は側壁107により隔てられている。加圧室106は2列に配列され、一列当たり128個形成

されており、256ノズルの印字密度を有するインクジェットヘッドを実現している。加圧室基板1の基体3側には振動板膜及び圧電体薄膜素子が形成されている。また、各圧電体薄膜素子からの配線はフレキシブルケーブルである配線基板4に収束され、基体3の外部回路(図示せず)と接続される。外部回路には半導体ROMに所定の材料を吐出するための吐出タイミングが指示され、材料を吐出する。

【0024】ノズルプレート5は加圧室基板1に接合される。ノズルプレート5における加圧室106に対応する位置にはインク滴を抽出するためのノズル51が形成されている。ノズル51は例えば直径 $28\mu\text{m}$ とすることができ、この場合、1回に吐出される材料の量は10p1~20p1程度となる。また、ノズル51は所定の配列ピッチで2列形成されており、例えば、列の間隔、配列ピッチはそれぞれ $141\mu\text{m}$ 、 $75\mu\text{m}$ とすることができる。

【0025】基体3はプラスチック、金属等の鋼体であり、加圧室基板1の取付台となる。

【0026】なおインクジェットヘッドの構成としては、圧電素子を用いる方式でも、熱による気泡発生により吐出する方式であってもよい。

【0027】図2は、インクジェットヘッド9の動作原理の説明図である。この図はインクジェットヘッド9の主要部に対する電気的な接続関係を示したものである。駆動電圧源301の一方の電極は配線302を介し、インクジェットヘッドの下部電極303に接続する。駆動電圧源301の他方の電極は配線304及びスイッチ306a~306cを介して各加圧室106a~106cに対応する上部電極307に接続する。

【0028】この図では、加圧室106bのスイッチ306bのみが閉じられ、他のスイッチ306a、306cが開放されている。スイッチ306a、306cが開放されている加圧室106a、106cはインク吐出の待機状態を示す。材料吐出時には、例えば、スイッチ306bのようにスイッチが閉じられ、圧電体膜309に電圧が印加される。この電圧は、矢印Aに示す圧電体膜309の分極方向と同極性、換言すると、分極時の印加電圧の極性と同一ように電圧が印加される。圧電体膜309は厚み方向に膨張するとともに、厚み方向と垂直方向に収縮する。この収縮で圧電体膜309と振動板310の界面に応力が働き、圧電体膜309及び振動板310は下方方向にたわむ。このたわみにより加圧室106bの体積が減少し、51bから材料滴23が吐出する。この材料滴23によりメモリセルに対応する電極を被覆する。その後再びスイッチ306bを開くと、たわんでいた圧電体膜309及び振動板310が復元し、加圧室106bの体積が膨張することでインク供給路(図示せず)より加圧室106bへ材料が充填される。尚、圧電体膜309の振動周波数は、 7.2kHz である。

【0029】なお、気泡発生により吐出する方式では、ノズルに通ずる圧力室に発熱体が設けられており、発熱体を発熱させてノズル近辺の流動体を沸騰させ気泡を発生させてその体積膨張により流動体を吐出する。加熱による流動体の変質がない点で圧電素子を用いる方式の方が好ましい。

【0030】図3はインクジェットヘッド装置の全体構成を示す模式図である。図3において、前記装置はインクジェットヘッド21~2n(nは任意の自然数)、タンク31~3n、駆動機構7および制御回路8を備えている。このインクジェットヘッド装置は、メモリセル位置の電極表面に絶縁材料等の液滴1x(xは1~nのいずれか。以下同様。)を付着させることにより、所定の絶縁膜等を形成させる。

【0031】インクジェットヘッド21~2nは同一の構造を備える。各ヘッドは圧電素子を用いる方式により絶縁材料等を含む流動体を吐出する。

【0032】タンク31~3nは絶縁膜を形成するための絶縁材料等を含んだ流動体11~1nをインクジェットヘッド21~2nに供給する。

【0033】駆動機構7はモータ41、42および図示しない機械構造を備えている。モータ41は駆動信号Sxに応じてインクジェット式記録ヘッド2xをX軸方向(図3の横方向)に搬送し、モータ42は駆動信号Syに応じてインクジェット式記録ヘッド2xをY軸方向(図3の奥行方向)に搬送する。なお駆動機構はこの構成に限定されるものではなく、インクジェットヘッド2xの位置を相対的に変化し得るものであればよい。従って、基板をインクジェットヘッド2xに対して移動する駆動機構も採用可能である。

【0034】制御回路8は、例えばコンピュータ装置であり、図示しないCPU、メモリ、インターフェイス等を備える。制御回路8は所定のプログラムを実行することにより当該装置に本発明に係るメモリデバイスを製造させることが可能である。

【0035】流動体の液滴1xを吐出させる場合にはインクジェットヘッド21~2nのいずれかに吐出信号Sh1~Shnを供給し、当該ヘッドを移動させるときにはモータ41、42に駆動信号Sx、Syを供給する。

【0036】なおインクジェットヘッド2Xからの液滴1xの吐出に際して一定の雰囲気処理が必要とされるときには、さらに固化装置6を備えてもよい。固化装置6は絶縁層の結晶化を促進するために、制御回路8から供給される制御信号Spに対して物理的、物理化学的、あるいは化学的処理を、液滴1xの下地となる面に施す。例えば、熱風の吹き付け、レーザ照射、ランプ照射による加熱・乾燥処理、化学物質投与による化学変化処理、液滴1xの下地となる面への付着の程度を制御する一定の表面改善処理等が考えられる。

【0037】本発明に係るメモリデバイスを製造する際

に、前記インクジェットヘッド装置を用いることで、装置内に記憶された記録パターンに従って所定のメモリセルに選択的に絶縁材料等を吐出することができる。

(実施形態1) 本発明の実施形態1は、インクジェットヘッドを用いて絶縁材料を選択的に吐出することにより、所定のメモリセル位置の電極表面を絶縁材料で被覆する、メモリデバイスの製造技術に関する。

(第1実施例) 図4に本実施形態の第1実施例の製造工程の断面図を示す。本実施例は、メモリセル位置の電極表面を囲うようにバンクを形成する工程を備えている。

【0038】下部電極形成工程(図4(a))：基板200上に下部電極層を形成する。基板200の材料としては、例えば、Siウェハー、石英ガラス、ソーダガラス、コーニング7059、日本電気ガラスOA-2等の耐熱性ガラス等が考えられる。下部電極層は、直流スパッタ法、電子ビーム蒸着法等で白金を成膜することで得られる。白金の他に好適な電極として、パラジウム等の貴金属電極、 IrO_2 、 RuO_2 、 ReO_3 等の導電性化合物がある。

【0039】下部電極層の成膜後、レジスト(図示せず)を塗布し、線状にパターンニングを行い、これをマスクとしてドライエッチングを施す。かかる工程により、線状の複数の下部電極201が形成されることになる。なお、図では、手前から奥に向かう方向に線状となっている。

【0040】バンク形成工程(図4(b))：下部電極201上にバンク202を形成する。バンク202は仕切部材として機能する部材であり、その材料としては、例えばポリイミド、 SiO_2 等の絶縁材料を用いることができる。バンク202の形成は、リソグラフィ法や印刷法、任意の方法を選択できる。リソグラフィ法を使用する場合は、スピコート、スプレーコート、ロールコート、ダイコート、ディップコート等の所定の方法でバンクの高さに合わせて絶縁材料を塗布し、その上にレジスト層を塗布する。そしてバンクの形状に合せたレジストを残す。最後にエッチングしてマスク以外の部分のバンクの材料を除去する。印刷法を使用する場合は、凹版、平版、凸版等任意の方法でバンク形状に絶縁材料を直接塗布する。バンク202の高さは、バンクで囲まれる凹部203に絶縁材料を充填しても表面張力により隣接する凹部203に絶縁材料があふれ出ない程度の高さに形成する。例えば、電極表面を被覆する絶縁膜を、 $0.05\mu\text{m}\sim 0.2\mu\text{m}$ の厚みで形成するなら、バンク202を $0.2\mu\text{m}\sim 2\mu\text{m}$ 程度の高さに形成する。

【0041】図5にバンク202の平面図を示す。バンク202は、Y方向(下部電極201と同方向)とX方向の2方向に格子状となるように形成されている。バンク202に囲まれる領域203(図4(b)において凹部203に相当)はメモリセル位置に対応している。すなわち、バンク202は、メモリセル位置の下部電極2

01の表面を囲うように形成されている。図4(b)は、図5のa-a'における断面図に相当する。

【0042】インクジェット吐出工程(図4(c))

(d)：インクジェットヘッド205より記録パターンに従って選択的に SiO_2 等の絶縁材料を吐出し、バンク202に囲まれた凹部203に絶縁材料204を充填して絶縁膜206を形成する。インクジェットヘッド205から絶縁材料204をバンク12で囲まれた凹部13に吐出する(図4(c))。吐出量は加熱処理により体積が減少したときに、所望の厚みになるような量とする。絶縁材料を充填したら加熱処理を行って溶媒成分を蒸発させる。溶媒成分が蒸発することにより、絶縁材料204の体積が減少し、絶縁膜206が形成される

(図4(d))。吐出される絶縁材料204の量は形成後の絶縁膜206の厚みが例えば $0.1\mu\text{m}\sim 2\mu\text{m}$ 程度になるように調整される。

【0043】半導体層成膜工程(図4(e))：下部電極201、バンク202、絶縁膜206上に、半導体層207を成膜する。半導体層207としては、従来の半導体材料を用いることができ、その組成は任意のものを適用することができる。

【0044】ゾル・ゲル法で成膜する場合は、半導体層を形成可能な金属成分の水酸化物の水和錯体、即ち、ゾルを下部電極201等上に塗布・乾燥・脱脂処理して半導体膜前駆体とし、この前駆体をRTA処理で結晶化して半導体薄膜を得る。そして、最終的な膜厚が、 $0.3\mu\text{m}$ となるまで所望の回数の塗布・乾燥・脱脂を繰り返して成膜する。

【0045】また、ゾル・ゲル法に限らず、高周波スパッタ、MOD法(Metal Organic Decomposition Process)、印刷法等でも半導体層を成膜することができる。印刷法は、電歪セラミックス粒子を主成分とするペーストやスラリーを用いて所望の基板上に成膜し、熱処理をすることで半導体層を得る技術である。この印刷法を用いれば、リソグラフィ技術やレーザ加工又はスライシング等の機械加工技術の適用が容易であり、半導体層の形状を任意に設計することができる。また、設計の自由度が向上することから、メモリデバイスとしてのキャパシタの集積密度を向上させることができる。

【0046】上部電極形成工程(図4(f))：上部電極層は、直流スパッタ法、電子ビーム蒸着法等で白金を成膜することで得られる。白金の他に好適な電極として、Al、Cu、Ca、Mg、Liの他、パラジウム等の貴金属電極、 IrO_2 、 RuO_2 、 ReO_3 等の導電性化合物がある。

【0047】上部電極層の成膜後、レジスト(図示せず)を塗布し、下部電極201と直交する方向(X方向)に線状にパターンニングを行い、これをマスクとしてドライエッチング等を施す。かかる工程により、上部電極208が、下部電極201と直交する方向に複数形成

されることになる。

【0048】又、上部電極208は、導電性ポリマを用い、インクジェット法によりパターン状に形成することができる。こうして絶縁層等と同様に、任意に且つ適宜上部電極パターンを形成することが可能となる。

【0049】かかる製造工程により製造された本発明のメモリデバイスは、メモリセルが上下線状電極の交差位置に形成される単純マトリクス構造となっている。メモリセルの記憶内容決定する被覆絶縁膜をインクジェットヘッドにより吐出し形成しているため、高額なフォトマスクを用いる必要がなく、安価にメモリデバイスを製造、実現することができる。

【0050】また、インクジェットヘッドの動作を制御することにより、被覆絶縁膜を形成するメモリセルを変更することができるため、メモリデバイスの記録パターンを容易に変更することができる。その結果、種々の記録パターンのメモリデバイスを製造、実現することができる。

【0051】更に、インクジェットヘッドを用いる場合、家庭用プリンタに使用されるような小型の装置で被覆絶縁膜を形成することができるため、大型の装置を備え付けることが困難な場所（例えば、通常のオフィスやカウンタ等）においても、メモリデバイスをその場で製造することができる。例えば、クレジットカード、デビットカード、プリペードカード等において、銀行等のカウンタでインクジェットヘッドを用いて個々の顧客に固定の情報等を書き込むといった形態も考えられる。

【0052】また、インクジェットヘッドにより絶縁材料を吐出する際に、各メモリセルはバンクにより他のメモリセルと隔離されているため、メモリセルに対してより選択的に絶縁材料を吐出することができ、記録精度を向上させることができる。

（第2実施例）図6に本実施形態の第2実施例の製造工程の断面図を示す。本実施例は、第1実施例と同様に、下部電極形成工程、インクジェット吐出工程、半導体層成膜工程、上部電極形成工程を備えている。また、メモリセル位置の電極表面を囲うように、絶縁材料に対して非親和性を示す領域を形成する工程（表面処理工程）を備えている。

【0053】下部電極形成工程（図6（a））、半導体層成膜工程（図6（e））、上部電極形成工程（図6（f））については、第1実施例と同様であるため、説明を省略する。表面処理工程（図4（b））は、下部電極形成工程の後、インクジェット吐出工程の前に、実行される。

【0054】表面処理工程（図6（b））：下部電極201上に非親和領域（FAS領域）400を形成する。具体的には、以下のFASコーティング工程、選択的FAS除去工程を備えている。なお、図7において斜線部分がFASによりコーティングされた領域である。

【0055】FASコーティング工程（図7（a））：CVD法等によりFAS（フッ化アルキルシラン）を下部電極201の表面に蒸着させる。FASは撥水性を備えるとともに、OH基と結合しやすい性質を有している。通常、下部電極201の表面は酸化された状態となっていてOH基を有するため、下部電極201をFAS蒸気中に置くことにより、下部電極201表面のOH基にFASが結合する。その結果、FASによる厚み10～17Åの単分子膜が下部電極201表面に形成され、下部電極201表面は撥水性となる。図8に結合している状態におけるFASの分子構造を示す。なお、下部電極201が形成されていない基板部分もFASによりコーティングされた状態となる。

【0056】選択的FAS除去工程（図7（b））：FASによりコーティングされた下部電極201表面に対し、選択的に紫外線（UV）を照射しFASを除去する。ここで、紫外線が照射される領域は、後段のインクジェット吐出工程で絶縁材料が吐出されるメモリセルに対応する領域である。紫外線の照射によりFASが除去された領域401は、OH基を有する下部電極201表面が剥き出しとなるため、親水性が回復し、絶縁材料に対する親和性を持つ。図6（b）は、図7（b）のa-a'における断面図に相当する。

【0057】インクジェット吐出工程（図6（c）、（d））：インクジェットヘッドより記録パターンに従って選択的にSiO₂（ポリシリコン）等の絶縁材料を吐出し、FAS領域400に囲まれた領域401に被覆絶縁膜を形成する。インクジェットヘッド205から絶縁材料204をFAS領域400で囲まれた領域401に吐出する。絶縁材料204は、FAS領域400が非親和性を、領域401が親和性を有するため、盛り上がった状態で領域401に留まる（図6（c））。絶縁材料204の吐出量は加熱処理により体積が減少したときに、所望の厚み（0.1μm～2μm程度）になるような量とする。必要な箇所に被覆絶縁膜206が形成された後、UV照射等により全面のFASを除去する（図6（d））。

【0058】かかる製造工程により製造された本発明のメモリデバイスは、第1実施例と同様の効果を備えている。

【0059】また、インクジェットヘッドにより絶縁材料を吐出する際に、第1実施例におけるバンクの代わりに非親和領域が形成され、各メモリセルは非親和領域により他のメモリセルと隔離されるため、メモリセルに対してより選択的に絶縁材料を吐出することができ、記録精度を向上させることができる。

（実施形態2）本発明の実施形態2は、メモリセル位置に対応する半導体層に対し、半導体層の抵抗値が、n値の記憶状態（n＝2、もしくはn＞2）に対応して予め設定された所定範囲のいずれかに含まれるように、イン

クジェットヘッドを用いてドーピング材料を注入することにより、多値の記憶状態を実現する、メモリデバイスの製造方法に関する。

【0060】図9に本実施形態の製造工程の断面図を示す。本実施形態は、実施形態1と同様に、下部電極形成工程、半導体層成膜工程、インクジェット吐出工程、上部電極形成工程を備えている。ただし、本実施形態では、下部電極形成工程後に、半導体層成膜工程を行い、その後にインクジェット吐出工程が実行される点で、実施形態1と異なる。

【0061】本実施形態において、メモリセル位置の電極表面を囲うようにバンクを形成する工程、もしくはメモリセル位置の電極表面を囲うように、絶縁材料に対して非親和性を示す領域を形成する工程（表面処理工程）を備えるように構成してもよい。バンク形成工程を備える場合、実施形態1の第1実施例と同様にして実現でき、表面処理工程を備える場合、実施形態1の第2の実施例と同様にして実現できる。

【0062】下部電極形成工程（図9（a））、半導体層成膜工程（図9（b））、上部電極形成工程（図9（e））については、第1実施例と同様であるため、説明を省略する。

【0063】インクジェット吐出工程（図9（c）、（d））：インクジェットヘッドより記録パターンに従って選択的にドーピング材料500を吐出し、記録パターンに対応するメモリセル位置の半導体層にドーピング材料を注入する。ドーピング材料としては、半導体層がP型の場合ボロン（B）等、半導体層がN型の場合磷（P）、ヒ素（As）、アンチモン（Sb）等が考えられる。

【0064】半導体層は含有するドーピング材料の量（濃度）に応じて導電率（抵抗値）が変化するため、注入するドーピング材料の量、濃度を制御することにより、メモリセルごとに半導体層の導電率を異ならせることができる。

【0065】そこで、導電率の値域をn区分（ $n=2$ 又は $n>2$ ）に分け、それぞれに異なる記憶状態に対応させる。そして、メモリセルごとに半導体層の導電率が、記録すべき記憶状態に応じた区分に含まれるように、各メモリセル位置の半導体層に注入するドーピング材料の量又は濃度を調整する。このようにすることで、各メモリセルにn値の記憶状態を記録させることができる。

【0066】ここで、理論的には、導電率を細かく区分することにより、何値のメモリデバイスでも実現することが可能である。しかし、現実的には、読み出し動作の安定性等から、区分の程度は合理的に設定されることが望ましい。そのような合理的な区分の仕方として、オーダが同じ範囲にある導電率を一つの区分とし、これに異なる記憶状態に対応させることが考えられる。

【0067】例えば、ドーピング材料がほぼ0の状態の

半導体層の導電率のオーダが 10^0 であるとする、ドーピング材料を注入することで、導電率のオーダを 10^0 、 10^1 、 10^2 、 10^3 、 10^4 とすることができる。この場合、導電率のオーダ 10^0 、 10^1 、 10^2 、 10^3 、 10^4 に6つの記録状態に対応させることで、メモリセルあたり6値の状態を記録することができる。なお、かかる例では6値としたが、何値とするかは設計に応じて定めることができる。

【0068】かかる製造工程により製造された本発明のメモリデバイスは、メモリセルが上下線状電極の交差位置に形成される単純マトリクス構造となっている。メモリセルの記憶内容決定する半導体層の導電率をインクジェットヘッドよりドーピング材料を吐出して定めることができるため、高額なフォトリソマスクを用いる必要がなく、安価にメモリデバイスを製造、実現することができる。

【0069】また、インクジェットヘッドの動作、すなわち吐出するドーピング材料の量、濃度等を制御することにより、容易に記録パターンを変更し、かつメモリセルごとに多値の記憶状態を実現することができる。その結果、多様かつ大容量のメモリデバイスを製造、実現することができる。

【0070】更に、インクジェットヘッドを用いる場合、家庭用プリンタに使用されるような小型の装置でドーピング材料を吐出することができるため、大型の装置を備え付けることが困難な場所（例えば、通常のオフィスやカウンタ等）においても、メモリデバイスをその場で製造することができる。例えば、クレジットカード、デビットカード、プリペイドカード等において、銀行等のカウンタでインクジェットヘッドを用いて個々の顧客に固定の情報等を書き込むといった形態も考えられる。

（実施形態3）本発明の実施形態3は、n値の状態（ $n=2$ 、もしくは $n>2$ ）に対応して予め設定された所定範囲に抵抗値が含まれるように調整されているn種類の半導体材料から、記憶させるべき状態に応じて所定の半導体材料を選択し、前記選択した半導体材料を前記バンクに囲まれる領域に対してインクジェットヘッドを用いて選択的に吐出することにより、各メモリセルの半導体層の抵抗値を決定する、メモリデバイスの製造方法に関する。

【0071】図10に本実施形態の製造工程の断面図を示す。本実施形態は、下部電極形成工程、バンク形成工程、インクジェット吐出工程、上部電極形成工程を備えている。

【0072】なお、バンク形成工程に代えて、メモリセル位置の電極表面を囲うように、絶縁材料に対して非親和性を示す領域を形成する工程（表面処理工程）を備えるように構成してもよい。表面処理工程を備える場合、実施形態1の第2の実施例と同様にして実現できる。

【0073】下部電極形成工程（図10（a））、バン

ク形成工程（図10（b））、上部電極形成工程（図10（e））については、実施形態1の第1実施例と同様であるため、説明を省略する。

【0074】インクジェット吐出工程（図10（c）（d））：記録パターンに従ってメモリセル位置を選択し、かかる選択したメモリセルに記録すべき状態に基づいて半導体材料600を選択し、かかる選択した半導体材料をインクジェットヘッドより前記選択したメモリセル位置のバンク202に囲まれた凹部203に吐出し、半導体層601を形成する。

【0075】ここで、半導体材料は、予め含まれるドーピング材料の量（濃度）が異なるように調整された複数の半導体材料の中から選択される。かかる複数の半導体材料は、形成される半導体層の導電率のオーダが異なるように、ドーピング材料の量が調整されている。

【0076】従って、メモリセルごとに記憶状態に応じて半導体材料を選択することで、メモリセルごとに形成される半導体層の導電率のオーダを記憶状態に対応させることができる。導電率のオーダと、導電率の範囲と、記憶状態の関係は、例えば実施形態2と同様に定めることができる。

【0077】かかる製造工程により製造された本発明のメモリデバイスは、メモリセルが上下線状電極の交差位置に形成される単純マトリクス構造となっている。メモリセルの記憶内容決定する半導体層の導電率をインクジェットヘッドより吐出する半導体材料の種類により定めることができるため、高額なフォトリソグラフィを用いる必要がなく、安価にメモリデバイスを製造、実現することができる。

【0078】また、インクジェットヘッドの動作、すなわち吐出する半導体材料の選択パターンを変更することにより、容易に記録パターンを変更し、かつメモリセルごとに多値の記憶状態を実現することができる。その結果、多様かつ大容量のメモリデバイスを製造、実現することができる。

【0079】更に、インクジェットヘッドを用いる場合、家庭用プリンタに使用されるような小型の装置で半導体材料を吐出することができるため、大型の装置を備え付けることが困難な場所（例えば、通常のオフィスやカウンタ等）においても、メモリデバイスをその場で製造することができる。例えば、クレジットカード、デビットカード、プリペイドカード等において、銀行等のカウンタでインクジェットヘッドを用いて個々の顧客に固定の情報等を書き込むといった形態も考えられる。

（変形例）本発明により製造したメモリデバイスは、メモリを備える全ての情報処理機器、例えばコンピュータの内部記憶装置、メモリスティック、メモ리카ードなど

に用いることができる。

【0080】なお、本発明は上記各実施形態に限定されことなく、種々に変形して適用することが可能である。例えば、本発明のメモリデバイスを積層構造とすることで、より大容量のメモリを構成することができる。

【0081】また、実施形態1及び実施形態2ではソルゲル法等により半導体層を成膜する場合について説明したが、かかる半導体層についてもインクジェットヘッドより半導体材料を吐出することで形成するように構成してもよい。

【0082】

【発明の効果】本発明によれば、インクジェットヘッドにより絶縁材料、ドーピング材料、半導体材料等を吐出して半導体ROMの記憶内容を設定できるため、多様な記憶パターンの半導体ROMを、安価かつ容易に、更に短期間で製造することができる。

【図面の簡単な説明】

【図1】本発明に用いるインクジェットヘッドの分解斜視図である。

【図2】本発明に用いるインクジェットヘッドの動作原理を説明するための図である。

【図3】本発明に用いるインクジェットヘッド装置の全体構成を説明するための図である。

【図4】実施形態1の第1実施例の製造工程を示す図である。

【図5】実施形態1において形成されるバンクを説明するための図である。

【図6】実施形態1の第2の実施例の製造工程を示す図である。

【図7】実施形態1において形成される非親和領域を説明するための図である。

【図8】FASの構造を説明するための図である。

【図9】実施形態2の製造工程を示す図である。

【図10】実施形態4の製造工程を示す図である。

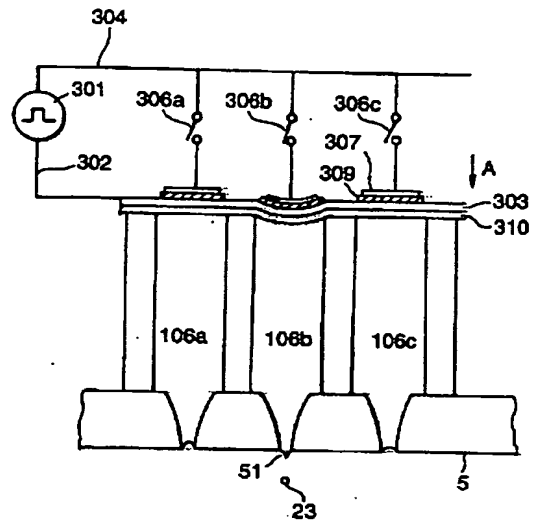
【図11】従来の半導体ROMに対する、ダイオードを用いた等価回路図である。

【図12】従来の半導体ROMの断面図である。

【符号の説明】

- 201 下部電極
- 202 バンク
- 205 インクジェットヘッド
- 206 絶縁膜
- 207、601 半導体層
- 208 上部電極
- 400 非親和領域
- 500 ドーピング材料
- 600 半導体材料

【图 2】



【图 3】

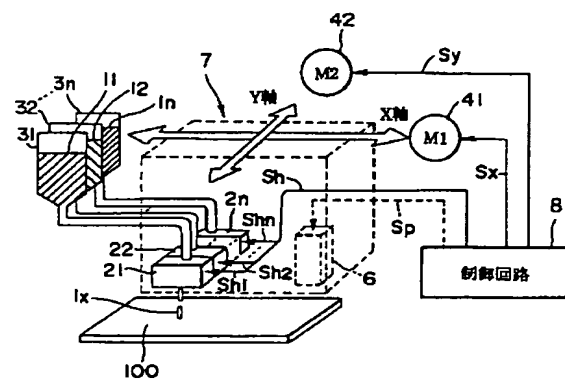
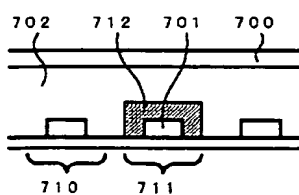
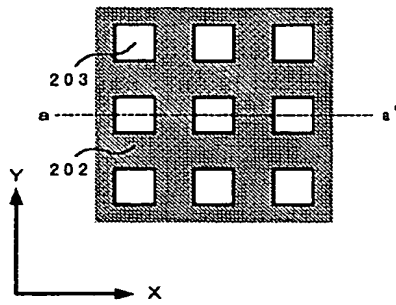


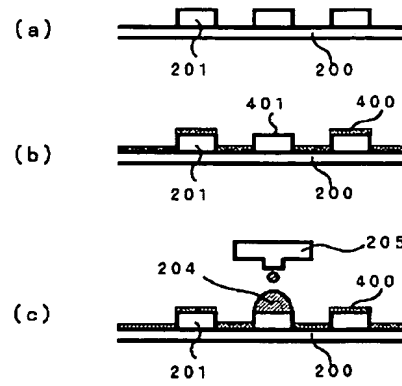
Fig. 1 consists of six cross-sectional views (a) through (f) of a semiconductor device during its fabrication. The base substrate is labeled 200. In (a), a layer 201 is formed on the substrate. In (b), a second layer 202 is added on top of 201. In (c), a patterned layer 203 is formed on 202, with a contact point 204 and a top layer 205. In (d), a layer 206 is added on top of 203. In (e), a layer 207 is added on top of 206. In (f), a final layer 208 is added on top of 207, completing the device structure.



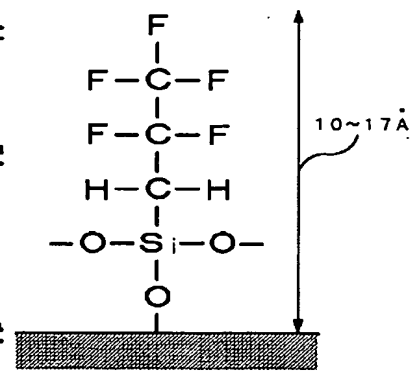
【図5】



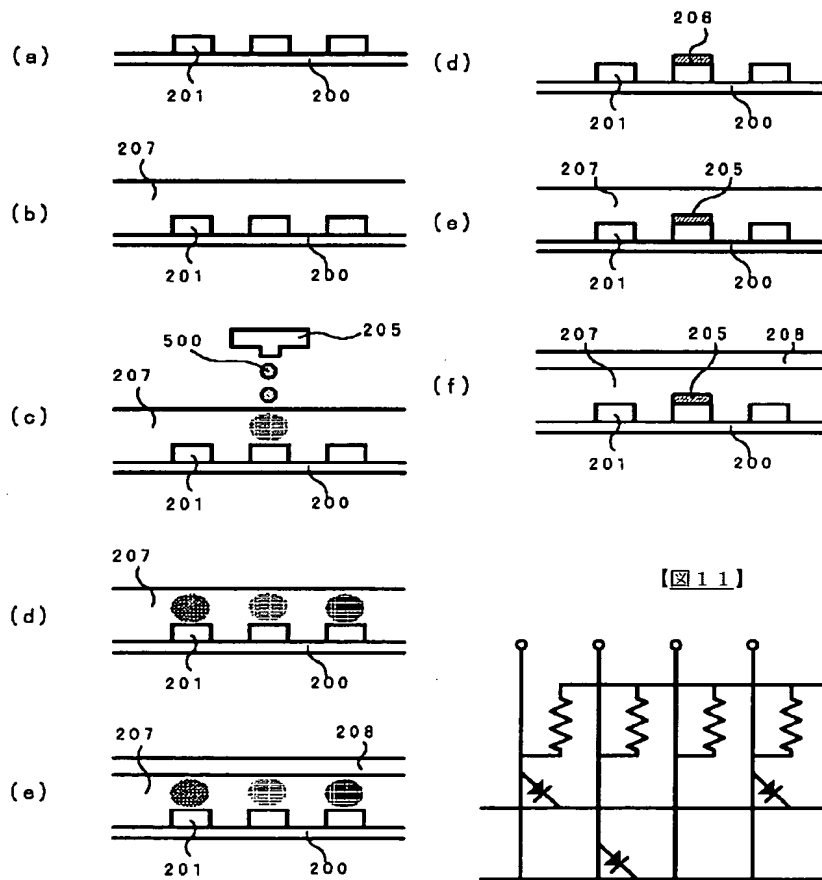
【図6】



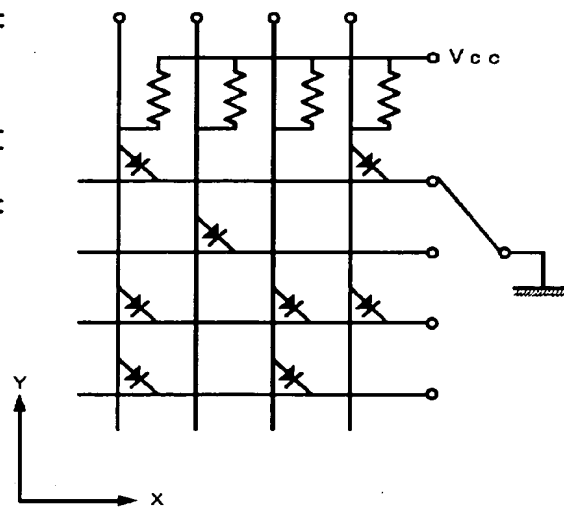
【図8】



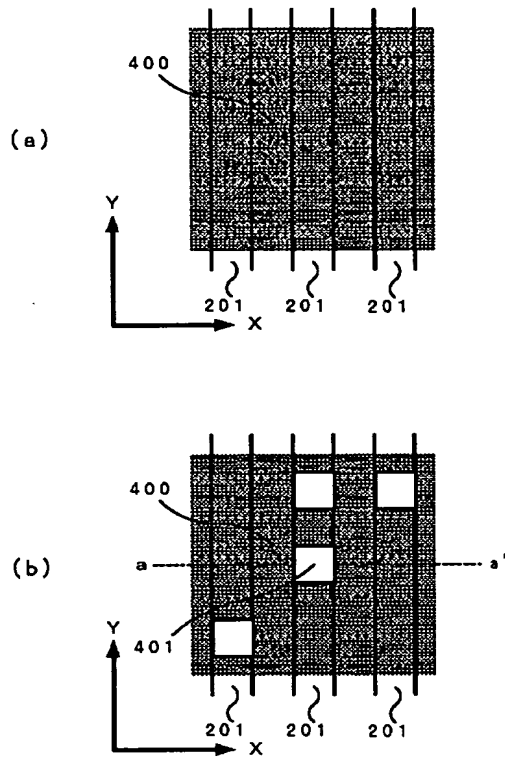
【図9】



【図11】



【図7】



【図10】

